

JP-A-64-11316 proposes, in claim 1, a method for fabricating an SOI structure by epitaxially growing a monocrystalline silicon film on a surface layer of a substrate made of one of sapphire and magnesia spinel, and by forming a high resistant layer at an interface between the surface layer and the monocrystalline silicon film by an annealing treatment performed in a short period of time.

?S PN=64011316

S2 0 PN=64011316

?S PN=01011316

S3 1 PN=01011316

?T 3/5

3/5/1

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02713716 \*\*Image available\*\*

FORMATION OF SOI STRUCTURE

PUB. NO.: 01-011316 [JP 1011316 A]

PUBLISHED: January 13, 1989 (19890113)

INVENTOR(s): KAWAHARA KEITA

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)

APPL NO.: 62-167292 [JP 87167292]

FILED: July 03, 1987 (19870703)

INTL CLASS: [4] H01L-021/20; H01L-021/324; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 752, Vol. 13, No. 186, Pg. 26, May 02, 1989 (19890502)

#### ABSTRACT

PURPOSE: To suppress leakage current upon the forming of a transistor element (MOSFET), by performing a high-temperature annealing process to form a high-resistance layer on an interface of a single-crystal Si film which is formed on an Al(sub 2)O(sub 3) layer or a MgO/Al(sub 2)O(sub 3) layer by epitaxial growth.

CONSTITUTION: A single-crystalline Si film 3 of about 500nm in thickness is formed at 950 deg.C of growth temperature is formed on a MgO/Al(sub 2)O(sub 3) film 2 by a vapor phase epitaxial growth method in which heat decomposition of a silane (SiH(sub 4)) gas is performed. This substrate is provided with a lamp annealing process at 1200 deg.C or above and for about 10 seconds in a nitrogen atmosphere by lamp heating, so that a high-resistance layer 4 is formed on an interface between the MgO-Al(sub 2)O(sub 3) film 2 and the single-crystal Si film 3.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-11316

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月13日

H 01 L 21/20  
21/324  
27/12

7739-5F

7514-5F 審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 SOI構造の形成方法

⑮ 特 願 昭62-167292

⑯ 出 願 昭62(1987)7月3日

⑰ 発 明 者 河 原 桂 太 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
⑱ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地  
⑲ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1 発明の名称

SOI構造の形成方法

2 特許請求の範囲

1) 少なくとも表面がサファイアあるいはマグネシアスピネル層である基板上に単結晶シリコン膜をエピタキシャル成長させて形成し、短時間のアニール処理によりサファイアあるいはマグネシアスピネル層と単結晶シリコン膜との界面に高抵抗層を形成することを特徴としたSOI構造の形成方法。

3 発明の詳細な説明

イ) 産業上の利用分野

本発明はSOI構造の形成方法に関し、特に上層のシリコン(Si)膜にトランジスタ素子を形成して良好な特性の得られるSOI構造を形成するものである。

ロ) 従来の技術

絶縁層上に単結晶シリコン膜を形成したものはSOI(Silicon on Insulator)構造と

2  
称され、半導体集積回路における高集積化、高速化、低消費電力化が図れるものとして知られている。

SOI構造の一つに、サファイア(Al<sub>2</sub>O<sub>3</sub>)やマグネシアスピネル(MgO・Al<sub>2</sub>O<sub>3</sub>)等の単結晶絶縁層で素子分離するものがある。例えば「信学技報」vol.86、No.156、第21頁乃至第26頁「Si/MgO・Al<sub>2</sub>O<sub>3</sub>/Si構造のSOI成長技術」にあるように、Si基板上に絶縁膜としてAl<sub>2</sub>O<sub>3</sub>膜やMgO・Al<sub>2</sub>O<sub>3</sub>膜を結晶成長させ、更にその上に単結晶Si膜を成長させるものである。

斯様な構造の単結晶Si膜上にトランジスタ素子(MOSFET)を形成した場合、Si膜とMgO・Al<sub>2</sub>O<sub>3</sub>膜との界面において導電層(所謂バックチャネル)が存在するため、ソース・ドレイン間におけるリーク電流が大きいという問題があつた。この導電層はMgO・Al<sub>2</sub>O<sub>3</sub>膜上にSi膜をエピタキシャル成長させる際にMgO・Al<sub>2</sub>O<sub>3</sub>膜からのAl、Mg等のオートド

ーピングにより、S1膜との界面付近にAlやMg等を高濃度を含んだ欠陥の多い部分として形成されるものと考えられている。

前述の報告において、このようなオートドーピングを防ぐためにS1膜の成長初期の温度を低減化し、多少の成果を上げているが、成長温度を低くしすぎるとS1のエピタキシャル成長がしないので、成長温度の低減によるオートドーピングの抑制には限界がある。

ハ) 発明が解決しようとする問題点

本発明は上述の点に留意して為されたもので、トランジスタ素子(MOSFET)を作製したときにリーク電流を非常に小さなものとするのできるSOI構造の形成方法を提供するものである。

ニ) 問題点を解決するための手段

本発明はAl2O3層あるいはMgO・Al2O3層上にエピタキシャル成長させた単結晶S1膜との界面に、短時間の高温アニール処理により高抵抗層を形成させるものである。

ホ) 作 用

アニール処理を施すことにより、Al2O3層あるいはMgO・Al2O3層中の酸素が単結晶S1膜と反応して、AlやMgが拡散しているAl2O3層あるいはMgO・Al2O3層と単結晶S1膜との界面に高抵抗層を形成する。この高抵抗層により単結晶S1膜上にMOSFETを形成した場合のリーク電流が抑制される。

ヘ) 実施例

第1図A乃至Dに沿って本発明の一実施例を説明する。(1)は(100)面を主面とする単結晶S1基板で、該基板(1)上にAl-HO-Al-MgO2-O2H2系の気相エピタキシャル成長により、成長温度を920℃とし、成長速度10nm/分で約100分間、膜厚約1μmの単結晶MgO・Al2O3膜(2)を形成する(第1図A)。

このMgO・Al2O3膜(2)上に、シラン(SiH4)ガスの熱分解による気相エピタキシャル成長法により、成長温度950℃で膜厚約500nmの単結晶S1膜(3)を形成する(第1図B)。

尚、(3)は単結晶S1膜(3)の成長時にMgO・Al2O3膜(2)からのAlやMgのオートドーピングにより形成される導電層である。

この様にしてS1/MgO・Al2O3/S1のSOI構造が形成されるが結晶成長方法として上述のものに限られるわけではなく、例えば単結晶S1膜の形成方法について熱CVD以外のCVDを用いたり、固相成長を行うものであつても良い。

次にこの基板をランプ加熱により、窒素雰囲気中、1200℃以上で約10秒間ランプアニール処理を行い、MgO・Al2O3膜(2)と単結晶S1膜(3)との界面に高抵抗層(4)を形成する(第1図C)。

X線励起光電子分光法(XPS)を用いて、このSOI構造の各構成元素の深さ方向の組成分布を調べた結果を第2図及び第3図に示す。第2図はアニール前(第1図B)の組成分布を、第3図はアニール後(第1図C)の組成分布を示すもので、破線はAl(酸化物)、一点鎖線はMg(酸化物)、二点鎖線はSi(単体)、および実線は

S1(酸化物)を示す。

第2図から分かる様にアニール前では、単結晶S1膜(3)とMgO・Al2O3膜(2)との界面にオートドーピングによるAl(酸化物)やMg(酸化物)が存在し、導電層(3)が形成されている。しかし第3図から分かる様に、アニール処理を施すと単結晶S1膜(3)とMgO・Al2O3膜(2)との界面にS1(酸化物)が存在しており、この界面に存在した導電層(3)のS1がアニールにより酸化されている。また、アニール処理により、Al、Mgはごくわずかの外向拡散を示すが、S1(酸化物)の形成量に比べると小さい。つまり、単結晶S1膜(3)とMgO・Al2O3膜(2)の反応による導電層(3)の酸化反応が急速に進行して、Al、Mgの再拡散が無視できる程小さいので、アニールによつて形成される酸化層(高抵抗層(4))の表面層側へ新たにAlやMgによる導電層は形成されない。即ち、アニール処理によつて単結晶S1膜(3)とMgO・Al2O3膜(2)との界面には導電層(3)を酸化した高抵抗層(4)が形成される。

従つて単結晶Si膜(3)上にMOSFETを作製した場合、リーク電流の発生原因となる導電層(バックチャネル)がないので、リーク電流を大幅に小さくすることが可能となる。

第4図はアニール処理を施したSOI基板(実線)とアニール処理を施さなかつたSOI基板(破線)に、夫々MOSFETを作製したときの、チャネル電流のゲート電圧依存性を示すものである。この図から明らかな様にP型、N型にかかわらず、アニール処理をしないSOI基板上に形成したMOSFETと比べ、アニール処理をしたSOI基板上に形成したMOSFETのリーク電流が著しく減少している。また、ドリフト移動度、閾値電圧、サブスレッシユホールド電流等の他の素子特性については変化しておらず、アニール処理を施すことによつて他の素子特性を劣化させることはない。

尚、本実施例では絶縁層として、MgO・Al<sub>2</sub>O<sub>3</sub>膜を用いているが、Al<sub>2</sub>O<sub>3</sub>膜でも良く、また、基板として単結晶Si基板を用いずに、M

gO・Al<sub>2</sub>O<sub>3</sub>かAl<sub>2</sub>O<sub>3</sub>基板を用い、その上に単結晶Si膜を形成させたものでも良い。

#### ト) 発明の効果

本発明は以上の説明から明らかな如く、短時間のアニール処理を施すことによつてMgO・Al<sub>2</sub>O<sub>3</sub>やAl<sub>2</sub>O<sub>3</sub>層とその上の単結晶Si膜との界面に高抵抗層を形成している。この高抵抗層の存在により、MOSFET形成時のリーク電流の発生を抑制することができる。

高抵抗層(Siの酸化層)の形成は、酸素雰囲気中で長時間高温に曝す酸化とは異なり、短時間のアニール処理で行われるのでAlかMgの再拡散はほとんどされない。

#### 4. 図面の簡単な説明

第1図A乃至Cは本発明の一実施例の工程説明図、第2図はアニール前の組成分布を示す図、第3図はアニール後の組成分布を示す図、第4図はMOSFETのチャネル電流のベース電圧依存性を示す図である。

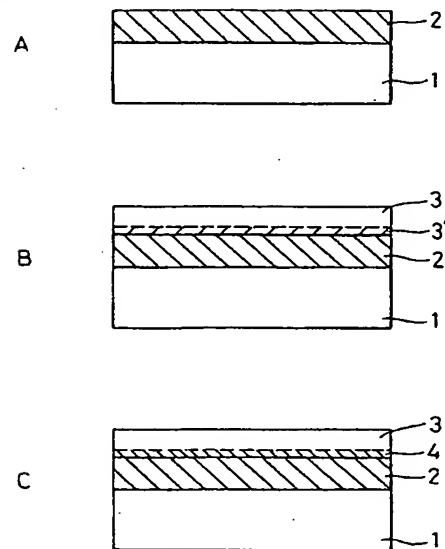
(1)…単結晶Si基板、(2)…MgO・Al<sub>2</sub>O<sub>3</sub>

膜、(3)…単結晶Si膜、(4)…高抵抗層。

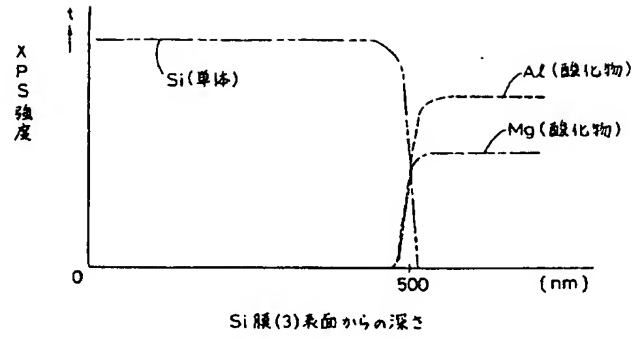
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣(外1名)

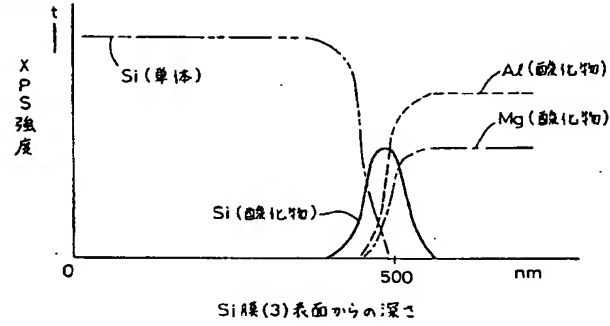
第1図



第2図



第3図



第4図

